



US PTO  
09/769576  
01/25/01

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 10 月 06 日  
Application Date

申請案號：089120959  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2001 年 1 月 4 日  
Issue Date

發文字號：  
Serial No. 09011000111

申請日期：

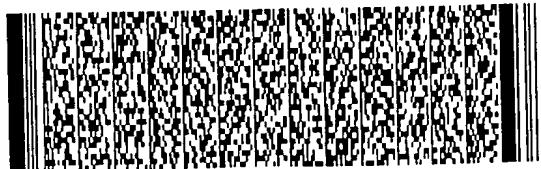
案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

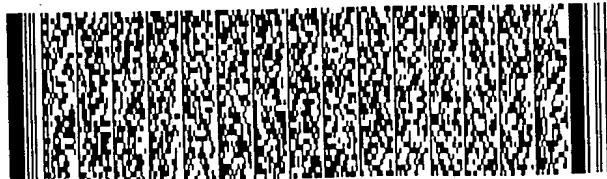
一、 發明名稱		中文 分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法
		英文
二、 發明人		姓名 (中文) 1. 陳炳勳
		姓名 (英文) 1. Bin-Shing Chen
國籍		1. 中華民國
住、居		1. 新竹市大學路1007巷12號3樓
三、 申請人		姓名 (名稱) (中文) 1. 華邦電子股份有限公司
		姓名 (名稱) (英文) 1. Winbond Electronics Corp.
國籍		1. 中華民國
住、居所 (事務所)		1. 新竹市科學工業園區研新三路四號
代表人 姓名 (中文)		1. 焦佑鈞
代表人 姓名 (英文)		1. Arthur Y. C. Chiao



四、中文發明摘要 (發明之名稱：分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法 )

本案係為一種分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其步驟主要包括於該一基板上依序形成一第一介電層、一第一導體層以及一第二介電層，對該第二介電層與第一導體層進行一第一光罩微影蝕刻製程，進而定義一選擇閘結構，於該第一介電層、該第三介導體層以及該第二介電層上形成一第三介電層，對該第三介電層進行一非等向性蝕刻，用以於該選擇閘結構上形成一側壁結構，接著除去該第一介電層後再於該基板上形成一隧穿介電層，於該隧穿介電層、該選擇閘結構以及該側壁結構上形成一第二導體層，對該第二導體層進行一非等向性蝕刻，用以於該側壁結構外側形成一間隙壁結構，對該間隙壁結構進行一第二光罩微影蝕刻製程，用以完成一浮

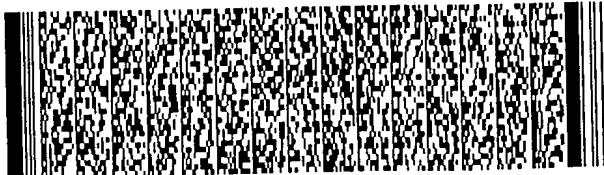
英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法 )

置閘結構，其中該浮置閘結構與該選擇閘結構間係以該側壁結構相隔，然後於該隧穿介電層、該選擇閘結構、該側壁結構以及該浮置閘結構上形成一第四介電層後進行一離子佈植製程，進而形成一源極區域以及一汲極區域，然後於該第四介電層上形成一第三導體層，並對該第三導體層進行一第三光罩微影蝕刻製程，用以完成一控制閘結構，其中該控制閘結構與該浮置閘結構間係以該第四介電層相隔。本案所完成之記憶體單元，其所需之程式電流遠低於習用堆疊式閘極結構可電除且可程式唯讀記憶體單元所需之程式電流，因此具有較低之程式電壓以及較小的元件尺寸。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明(1)

### 發明領域

本案係為一種分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，尤指一種利用間隙壁蝕刻方式進行浮置閘結構自行對準於選擇閘結構一側之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法。

### 發明背景

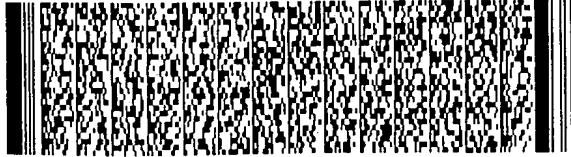
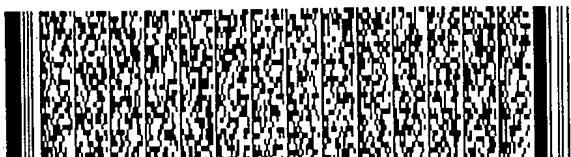
在各類型之非揮發性記憶體 (non-volatile Memory) 中，可電除且可程式唯讀記憶體(Electrically Erasable Programmable ROM)為一逐漸被廣泛應用之類型，其中尤其以快閃記憶體(Flash Memory)之成長最為快速，而在堆疊式閘極結構(stacked gate structure)之可電除且可程式唯讀記憶體中，主要存在有一過度抹除(over-erase)之問題，而在分離式閘極結構(split gate structure)之可電除且可程式唯讀記憶體中，係藉由增設選擇閘結構(select gate)或控制閘(control gate)結構來避免過度抹除(over-erase)之問題，但是由於習用手段中(如美國專利5280446案)，選擇閘結構(select gate)或控制閘(control gate)結構之製作並非自行對準於浮置閘結構(floating gate)，因此分離式閘極結構(split gate structure)之可電除且可程式唯讀記憶體之尺寸便難以有效縮小，通常皆大於堆疊式閘極結構之尺寸，而如何發展



## 五、發明說明（2）

出可有效縮小尺寸之分離式閘極結構製作手段係為發展本案之一主要目的。

## 發明概述



### 五、發明說明 (3)

關係以該第四介電層相隔。

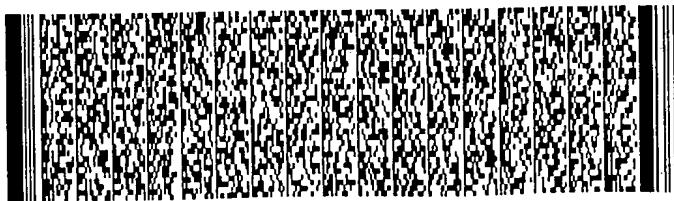
該方法中之各層所用之材料舉例如下：該基板可為一矽基板，該隧穿介電層之形成材質可為氧化矽，該第一介電層之材質可選自氧化矽、氮化矽及其複合層中之一，該第一導體層之材質係選自多晶矽(polysilicon)、非晶矽(a-Si)、再結晶矽(recrystallized silicon)以及多晶矽化金屬(polycide)中之一，該第二介電層之材質係選自氧化矽、氮化矽及其複合層中之一，該第三介電層之材質係選自氧化矽、氮化矽及其複合層中之一，該第二導體層之材質係選自多晶矽(polysilicon)、非晶矽(a-Si)以及再結晶矽(recrystallized silicon)中之一，該第四介電層之材質係選自氧化矽、氮化矽及其複合層中之一，而該第三導體層之材質係選自多晶矽(polysilicon)、非晶矽(a-Si)以及再結晶矽(recrystallized silicon)中之一。

其中，該氧化矽隧穿介電層之形成藉由該矽基板之熱氧化製程為之，該第三介電層所進行之非等向性蝕刻較佳為一乾式蝕刻，而該第二導體層所進行之非等向性蝕刻較佳亦為一乾式蝕刻。

### 簡單圖式說明

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

第一圖(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、



## 五、發明說明 (4)

(i)、(j)、(k)、(l)、(m)：其係本案所發展出來關於分離式閘極結構可電除且可程式唯讀記憶體單元製造方法之較佳實施例製程示意圖。

第二圖：其係本案所完成之電單元安排成非或閘型式(NOR type)記憶體陣列電路之示意圖。

本案圖式中所包含之各元件列示如下：

矽基板100

第一介電層101

第一導體層102

第二介電層103

選擇閘結構104

第三介電層105

側壁結構106

隧穿介電層107

第二導體層108

間隙壁結構109

光阻110

浮置閘結構111

第四介電層112

源極區域113

汲極區域114

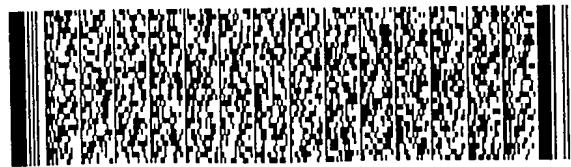
第三導體層115

控制閘結構116

較佳實施例說明

請參見第一圖

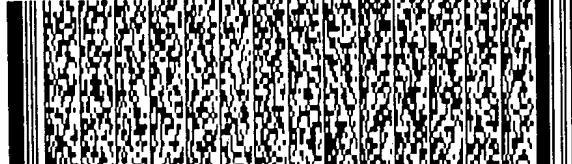
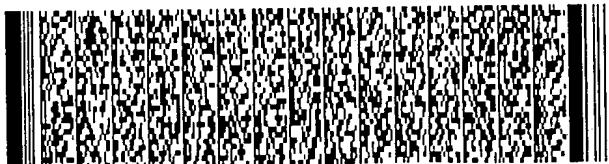
(a)(b)(c)(d)(e)(f)(g)(h)(i)(j)(k)(l)(m)所示之製程示意圖，其係本案所發展出來，關於分離式閘極結構可電除且可程式唯讀記憶體單元製造方法之較佳實施例製程示意圖。第一圖(a)所示為提供一矽基板100並在其上成長一第一介電層101，隨後如第一圖(b)所示，於該第一介電層101依序形成一第一導體層102以及一第二介電層103，對該第二介電層103與第一導體層102進行第一光罩微影蝕刻



## 五、發明說明 (5)

製程後便形成如第一圖(c)所示之選擇閘結構104。第一圖(d)所示為於完成上述結構之基板上形成一第三介電層105，在對該第三介電層105進行一非等向性蝕刻，例如乾式蝕刻(dry etch)，用以於該選擇閘結構104之周圍表面上形成一側壁結構106(如第一圖(e)所示)。隨後除去裸露之該第一介電層101以露出該基板100(如第一圖(f)所示)，然後再於該基板100上以熱氧化製程形成一厚度約30至200埃之氧化矽層，進而完成隧穿介電層107之製作後，再進行第二導體層108之沉積製程，完成之示意圖係如第一圖(g)所示。接著對該第二導體層108進行一非等向性蝕刻，例如乾式蝕刻(dry etch)，用以於該側壁結構106外側形成一間隙壁結構109(如第一圖(h)所示)。第一圖(i)所示為對該間隙壁結構進行一第二光罩微影蝕刻製程，用以蝕刻去除未被光阻110所遮罩之該間隙壁結構109，進而自行對準地於該選擇閘結構之一側來完成浮置閘結構111，而該浮置閘結構111與該選擇閘結構104間係以該側壁結構106相隔。接著，於整體結構上方形成一第四介電層112(如第一圖(j)所示)後進行一離子佈植製程，進而形成如第一圖(k)所示之源極區域113以及汲極區域114。然後再沉積一第三導體層115(如第一圖(l)所示)後進行一第三光罩微影蝕刻製程，用以完成如第一圖(m)所示之控制閘結構116，而該控制閘結構116與該浮置閘結構111之間係以該第四介電層112相隔。

而上述第一介電層101之材質係可以氧化矽、氮化矽

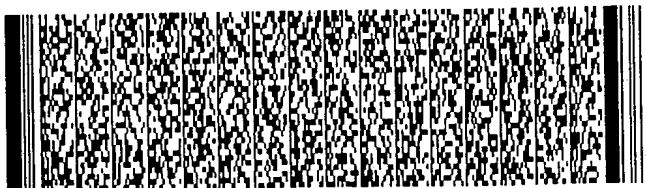


## 五、發明說明 (6)

及其複合層等來完成，其厚度約為30至300埃。至於第一導體層102之材質係可選自多晶矽(polysilicon)、非晶矽(a-Si)、再結晶矽(recrystallized silicon)以及多晶矽化金屬(polycide)中之一。而上述第二介電層103之材質係可選用氧化矽、氮化矽、前述兩者之複合層或其他絕緣材料，改變其厚度可用以對後續完成之浮置閘結構111之尺寸(即第一導體層102與第二介電層103之厚度總合係等於浮置閘結構111之高度)進行調整。至於第三介電層105及第四介電層112之材質亦可選用氧化矽、氮化矽或前述兩者之複合層等。而第二導體層108與第三導體層115之材質皆可選用多晶矽(polysilicon)、非晶矽(a-Si)或再結晶矽(recrystallized silicon)等材料。

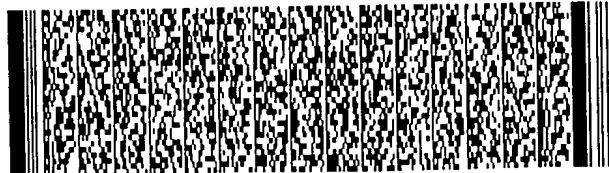
為高速讀寫之應用，吾人可將為本案方法所完成之分離式閘極結構可電除且可程式唯讀記憶體單元安排成如第二圖所示之非或閘型式(NOR type)記憶體陣列電路。

綜上所述，由於本案方法係避免使用光罩微影技術，轉而利用一間隙壁蝕刻之觀念來把浮置閘結構111自行對準地完成於選擇閘結構104之側，因此可有效縮小元件之尺寸，進而改善習用分離式閘極結構可電除且可程式唯讀記憶體單元為提供程式擾動免疫能力(program disturb immunity)而造成尺寸不易縮之缺失。而且，因為本案方法所完成結構係利用源極側注入(source side injection)之方式來進行資料寫入，故本案所完成之記憶體單元，其所需之程式電流(program current)遠低於習



## 五、發明說明 (7)

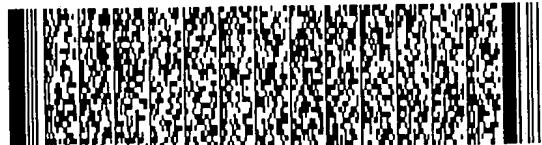
用堆疊式閘極結構可電除且可程式唯讀記憶體單元所需之  
程式電流(program current)。因此本案方法將可應用於  
完成各種類型之可電除且可程式唯讀記憶體  
(Electrically Erasable Programmable ROM)，例如逐漸  
被廣泛應用之快閃記憶體(Flash Memory)，皆可較習用手  
段所完成之可電除且可程式唯讀記憶體單元，具有更低之  
程式電壓(program voltage)以及更小的元件尺寸。本案  
得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫  
如附申請專利範圍所欲保護者。



圖式簡單說明

第一圖(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)、(j)、(k)、(l)、(m)：其係本案所發展出來關於分離式閘極結構可電除且可程式唯讀記憶體單元製造方法之較佳實施例製程示意圖。

第二圖：其係本案所完成之電單元安排成非或閘型式(NOR type)記憶體陣列電路之示意圖。



## 六、申請專利範圍

1. 一種分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，包含下列步驟：

提供一基板；

於該基板上依序形成一第一介電層、一第一導體層以及一第二介電層；

對該第二介電層與第一導體層進行一第一光罩微影蝕刻製程，進而定義一選擇閘結構；

於該第一介電層、該第一導體層以及該第二介電層上形成一第三介電層；

對該第三介電層進行一非等向性蝕刻，用以於該選擇閘結構上形成一側壁結構；

除去該第一介電層後再於該基板上形成一隧穿介電層；

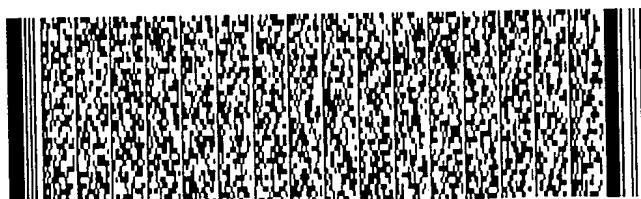
於該隧穿介電層、該選擇閘結構以及該側壁結構上形成一第二導體層；

對該第二導體層進行一非等向性蝕刻，用以於該側壁結構外側形成一間隙壁結構；

對該間隙壁結構進行一第二光罩微影蝕刻製程，用以完成一浮置閘結構，該浮置閘結構與該選擇閘結構間係以該側壁結構相隔；

於該隧穿介電層、該選擇閘結構、該側壁結構以及該浮置閘結構上形成一第四介電層後進行一離子佈植製程，進而形成一源極區域以及一汲極區域；

於該第四介電層上形成一第三導體層；以及



## 六、申請專利範圍

對該第三導體層進行一第三光罩微影蝕刻製程，用以完成一控制閘結構，該控制閘結構與該浮置閘結構間係以該第四介電層相隔。

2. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該基板係為一矽基板。

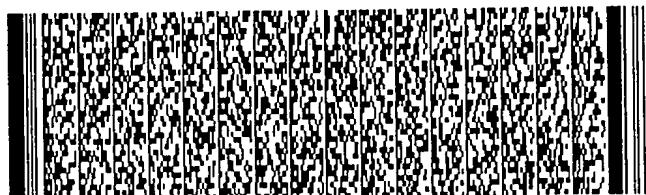
3. 如申請專利範圍第2項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中形成該隧穿介電層之方法為：對該矽基板進行一熱氧化製程以形成材質為氧化矽之該隧穿介電層。

4. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第一介電層之材質係選自氧化矽、氮化矽及其複合層中之一。

5. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第一導體層之材質係選自多晶矽(polysilicon)、非晶矽(a-Si)、再結晶矽(recrystallized silicon)以及多晶矽化金屬(polycide)中之一。

6. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第二介電層之材質係選自氧化矽、氮化矽及其複合層中之一。

7. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第三介電層之材質係選自氧化矽、氮化矽及其複合層中之一。

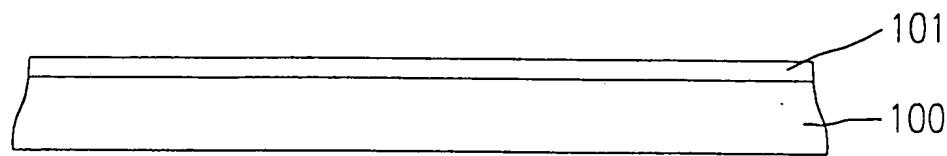


六、申請專利範圍

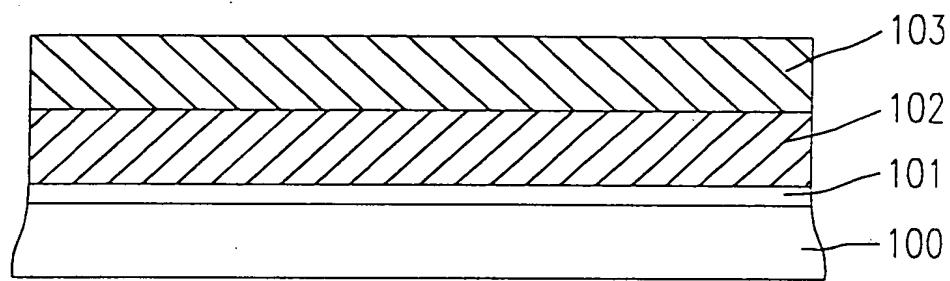
8. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中對該第三介電層所進行之該非等向性蝕刻係為一乾式蝕刻。
9. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第二導體層之材質係選自多晶矽(polysilicon)、非晶矽(a-Si)以及再結晶矽(recrystallized silicon)中之一。
10. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中對該第二導體層所進行之該非等向性蝕刻係為一乾式蝕刻。
11. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第四介電層之材質係選自氧化矽、氮化矽及其複合層中之一。
12. 如申請專利範圍第1項所述之分離式閘極結構可電除且可程式唯讀記憶體單元之製造方法，其中該第三導體層之材質係選自多晶矽(polysilicon)、非晶矽(a-Si)以及再結晶矽(recrystallized silicon)中之一。



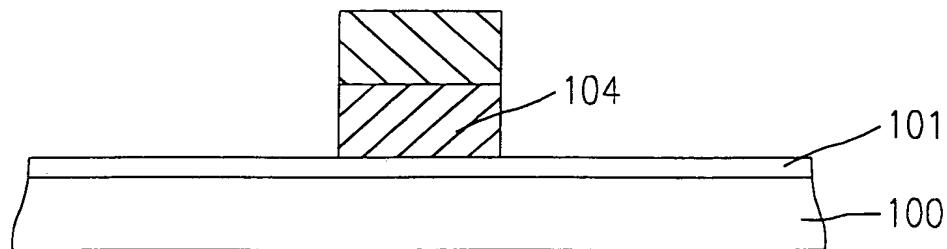
圖式



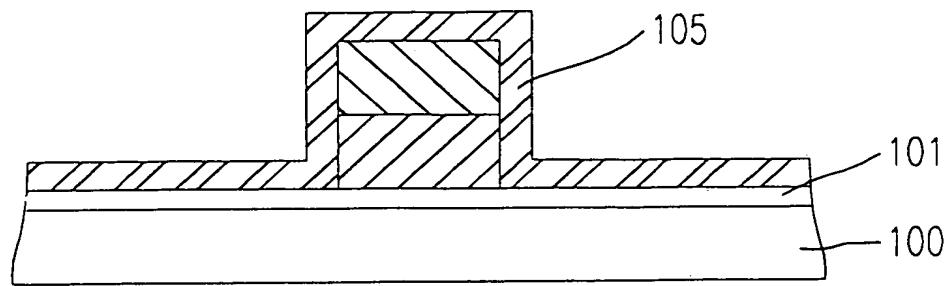
第一圖 (a)



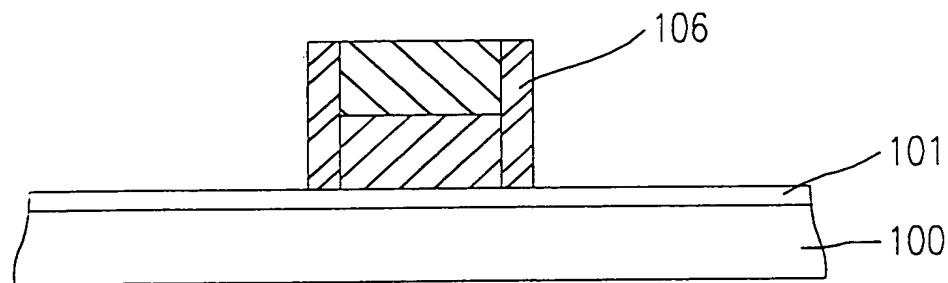
第一圖 (b)



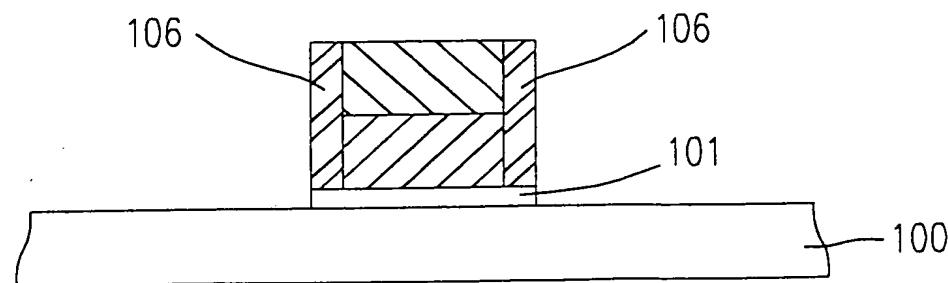
第一圖 (c)



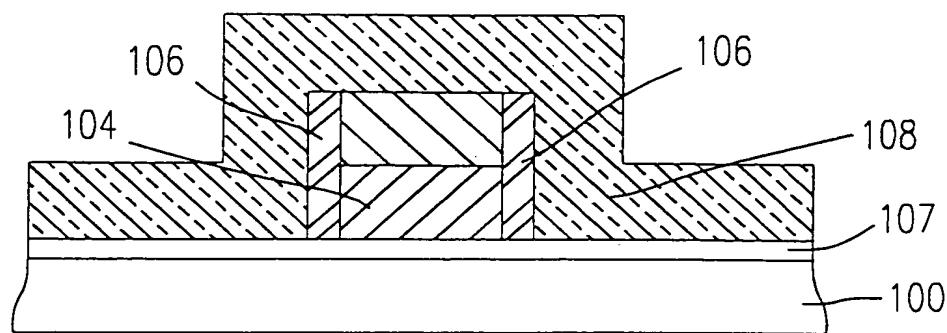
第一圖 (d)



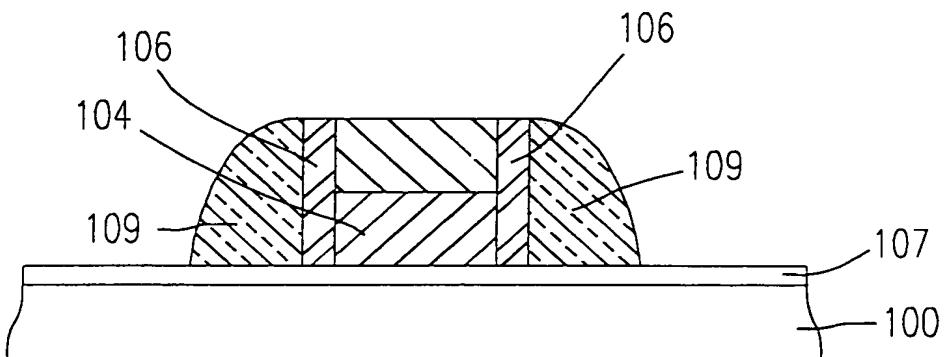
第一圖 (e)



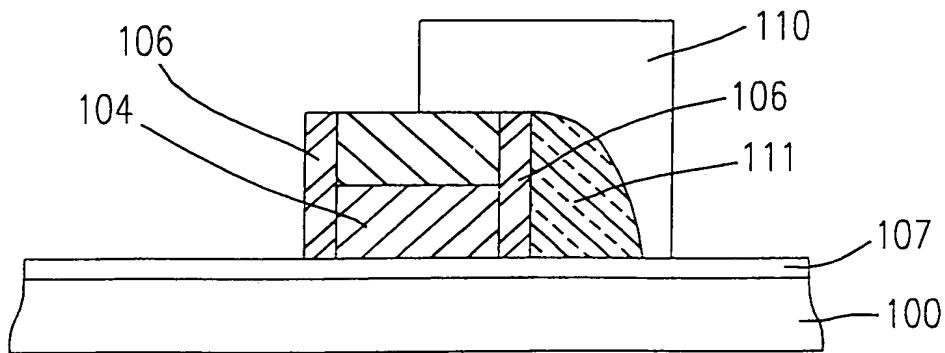
第一圖 (f)



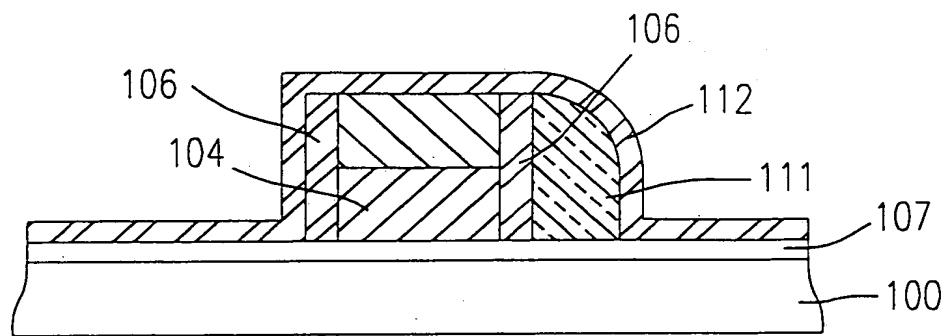
第一圖 (g)



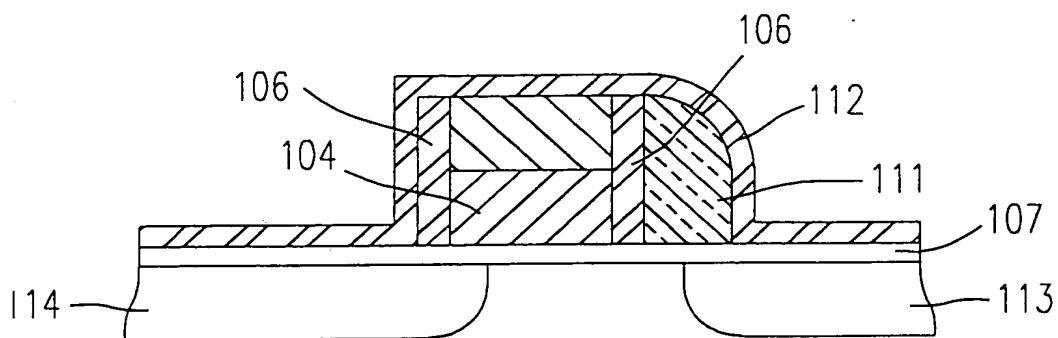
第一圖 (h)



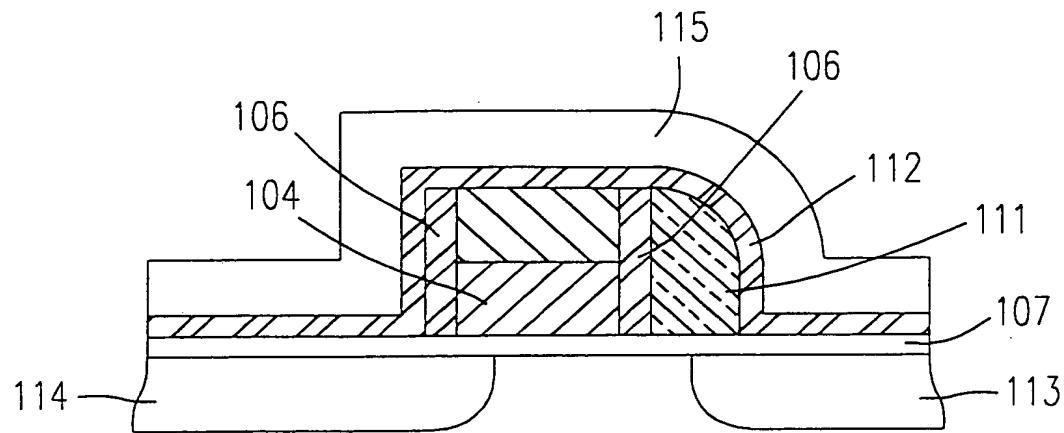
第一圖 (i)



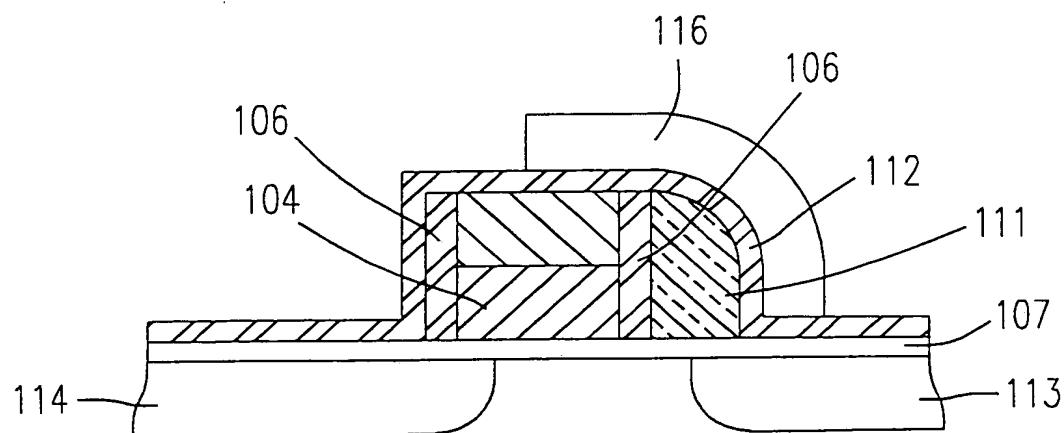
第一圖 (j)



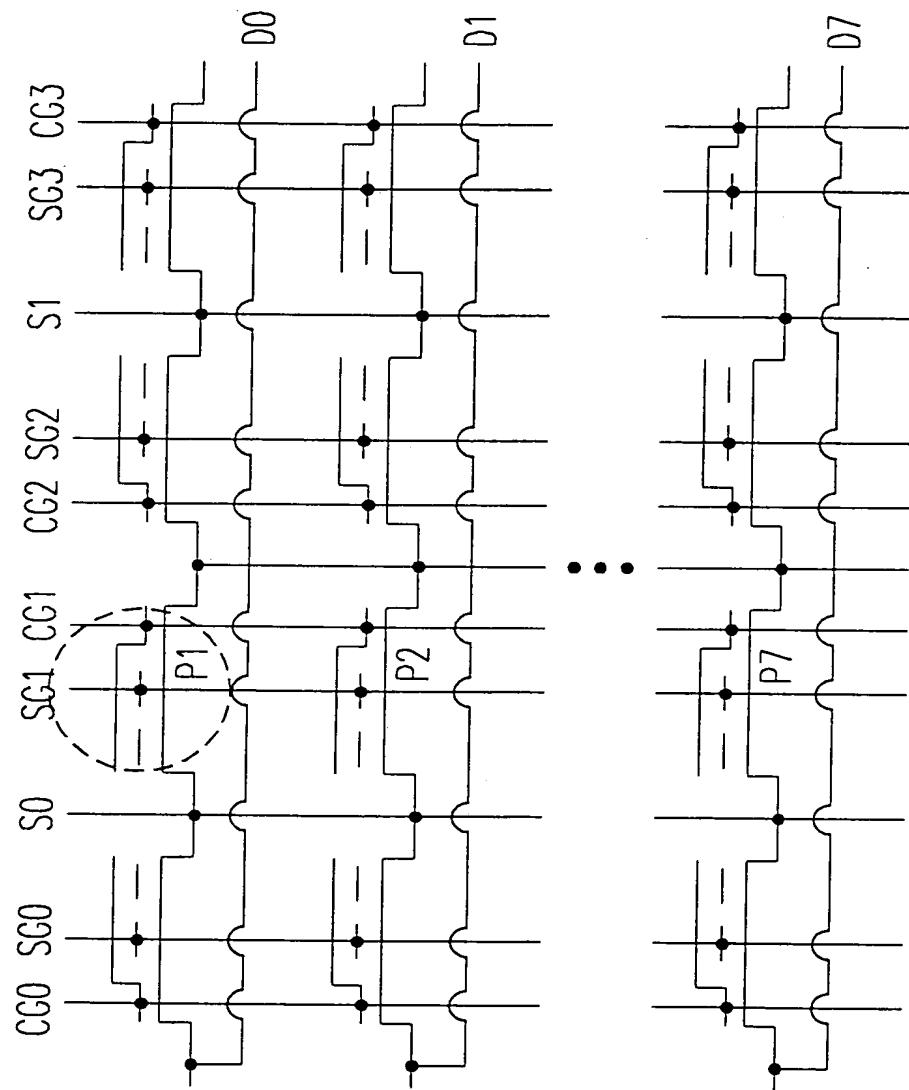
第一圖 (k)



第一圖 (l)

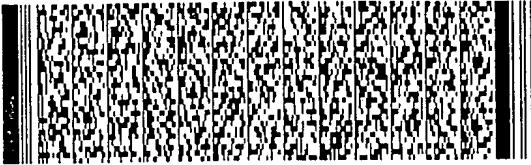


第一圖 (m)

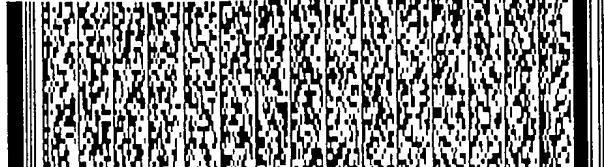


第二圖

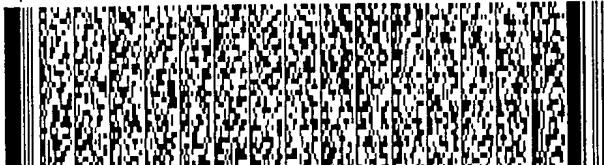
第 1/15 頁



第 2/15 頁



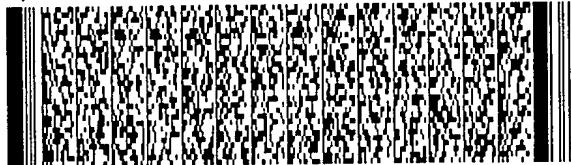
第 3/15 頁



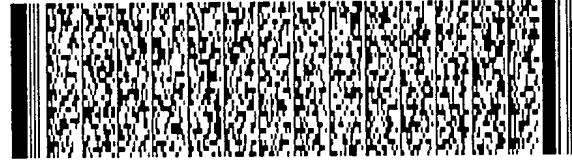
第 5/15 頁



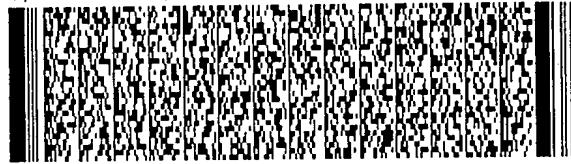
第 5/15 頁



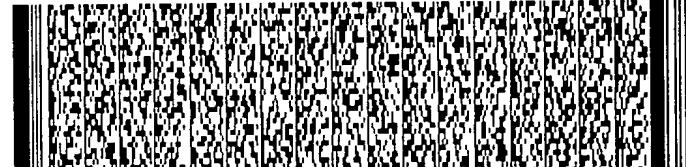
第 6/15 頁



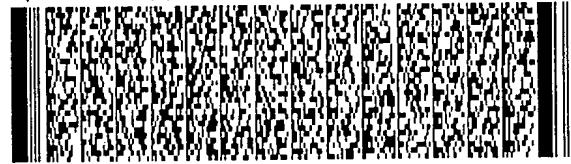
第 6/15 頁



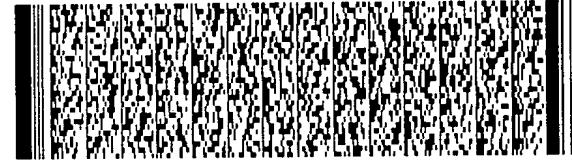
第 7/15 頁



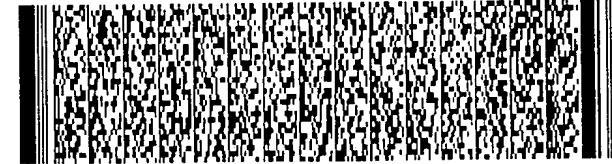
第 8/15 頁



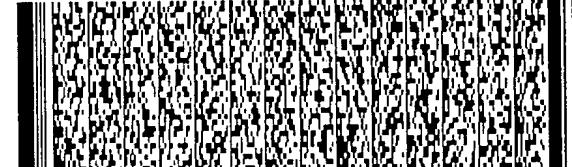
第 8/15 頁



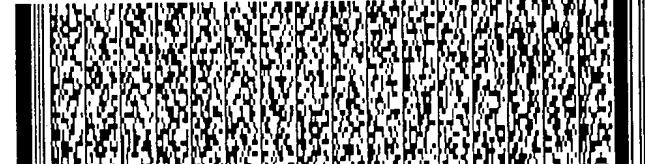
第 9/15 頁



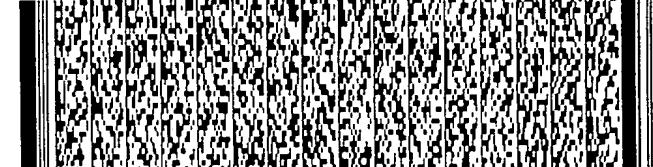
第 9/15 頁



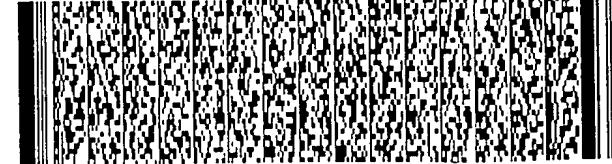
第 10/15 頁



第 10/15 頁



第 11/15 頁

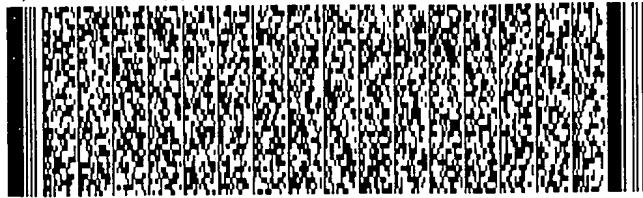


第 12/15 頁

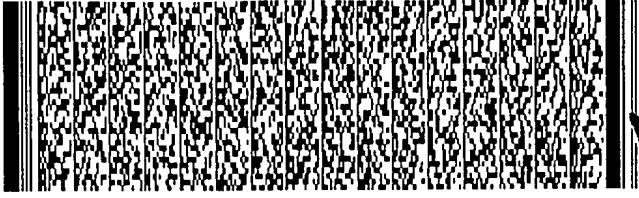


申請案件名：分離式閘極結構可電除且可程式唯記憶體單元之製造方法

第 13/15 頁



第 14/15 頁



第 15/15 頁

